

[Generate Collection](#)

Matt Alt

L1: Entry 1 of 4

File: JPAB

Mar 14, 2000

PUBN-NO: JP02000077406A
 DOCUMENT-IDENTIFIER: JP 2000077406 A
 TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: March 14, 2000

INVENTOR-INFORMATION:

NAME	COUNTRY
OOTO, KOICHI	N/A
USAMI, TATSUYA	N/A
KISHIMOTO, KOJI	N/A
KOYANAGI, KENICHI	N/A

base?

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

Fdg C only. w/g L

APPL-NO: JP10245235

APPL-DATE: August 31, 1998

INT-CL (IPC): H01L 21/318

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a method for enabling formation of multilayer interlayer insulating film, having a low specific inductive capacity and a stable film quality when the interlayer insulating film is formed in a semiconductor device.

SOLUTION: This method of manufacturing a semiconductor device has a process of forming an SiN film by a high-density plasma CVD method, using inorganic Si gas not containing H and N₂. More specifically, the method has a process of forming an F-containing interlayer insulating film 6, and a process of forming the SiN film 5 on either of the lower base and the upper base of the film 6 or both of the lower and upper bases of the film 6, by the high-density plasma CVD method using the inorganic Si gas which does not contain H and H₂. Each of the processes is determined to be performed at the same film-forming chamber.

COPYRIGHT: (C) 2000, JPO

*can be Fdg C
 what is 6, is it a mask for etch. 5
 can 5 be something else? no*

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-77406

(P2000-77406A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.
H 01 L 21/318

識別記号

F I
H 01 L 21/318テマコード(参考)
B 5 F 0 5 8
C

審査請求 有 請求項の数10 O.L (全 5 頁)

(21)出願番号 特願平10-245235
(22)出願日 平成10年8月31日 (1998.8.31)(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 大音 光市
東京都港区芝五丁目7番1号 日本電気株式会社内
(72)発明者 宇佐美 達矢
東京都港区芝五丁目7番1号 日本電気株式会社内
(74)代理人 100096231
弁理士 稲垣 清

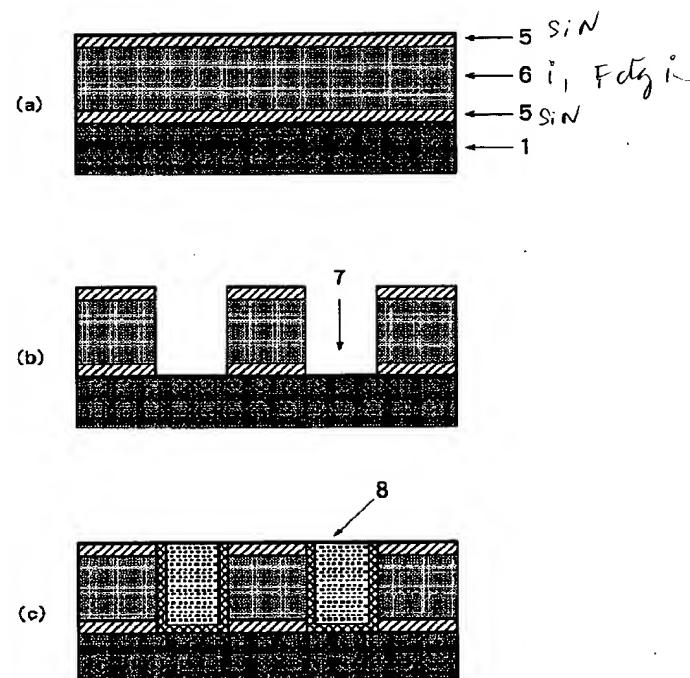
最終頁に続く

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【課題】 半導体装置において層間絶縁膜を形成する際に、比誘電率の低い、安定な膜質の多層の層間絶縁膜を形成することが可能な方法を提供する。

【解決手段】 Hを含まない無機のSi系ガスとN₂を用いた高密度プラズマCVDによりSiN膜を形成する工程を有する半導体装置の製造方法とする。より具体的には、Fを含む層間絶縁膜6を成膜する工程と、その下地及び上地の一方又は両方に、Hを含まない無機のSi系ガスとN₂を用いた高密度プラズマCVDによりSiN膜5を成膜する工程とを有し、かつ前記各工程を同一成膜室内で行う方法とする。



【特許請求の範囲】

【請求項1】 Hを含まない無機のSi系ガスとN₂を用いた高密度プラズマCVDによりSiN膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 Hを含まない無機のSi系ガスとN₂とO₂、Hを含まない無機のSi系ガスとNO、又は、Hを含まない無機のSi系ガスとN₂Oを用いた高密度プラズマCVDによりSiON膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 2層以上の多層層間絶縁膜の形成方法であって、Fを含む層間絶縁膜を成膜する工程と、その下地及び上地の一方又は両方に、Hを含まない無機のSi系ガスとN₂を用いた高密度プラズマCVDによりSiN膜を成膜する工程とを有し、かつ前記各工程を同一成膜室内で行うことを特徴とする半導体製造装置。

【請求項4】 2層以上の多層層間絶縁膜の形成方法であって、Fを含む層間絶縁膜を成膜する工程と、その下地及び上地の一方又は両方に、Hを含まない無機のSi系ガスとN₂とO₂、Hを含まない無機のSi系ガスとNO、又は、Hを含まない無機のSi系ガスとN₂Oを用いた高密度プラズマCVDによりSiON膜を形成する工程とを有し、かつ前記各工程を同一成膜室内で行うこととを特徴とする半導体製造装置。

【請求項5】 Hを含まない無機のSi系ガスとN₂を用いた高密度プラズマCVDによりSiN膜を形成する工程と、SiN膜をHを含まない雰囲気中で熱処理する工程とを有することを特徴とする半導体装置の製造方法。

【請求項6】 半導体チップのバッシベーション膜の形成方法であって、前記バッシベーション膜の少なくとも一層として、Hを含まない無機のSi系ガスとN₂を用いた高密度プラズマCVDによりSiN膜を形成することとを特徴とする半導体装置の製造方法。

【請求項7】 半導体チップのバッシベーション膜の形成方法であって、前記バッシベーション膜の少なくとも一層として、Hを含まない無機のSi系ガスとN₂とO₂、Hを含まない無機のSi系ガスとNO、又は、Hを含まない無機のSi系ガスとN₂Oを用いた高密度プラズマCVDによりSiON膜を形成することとを特徴とする半導体装置の製造方法。

【請求項8】 Hを含まない無機のSi系ガスが、Si_xF_y又はSi_xC_y、(式中x及びyはそれぞれ1以上の整数を示す)で表わされるガスであることを特徴とする請求項1～7のいずれか1項に記載の半導体装置の製造方法。

【請求項9】 Si_xF_yで表わされるガスがSiF_yである請求項8に記載の半導体装置の製造方法。

【請求項10】 Si_xC_yで表わされるガスがSiC_yである請求項8に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、さらに詳述すると、半導体装置の層間絶縁膜やバッシベーション膜の形成に関するものである。

【0002】

【従来の技術】ICの製造分野では、デバイスの高集積化に伴い、スケーリング則に従った横方向のデバイスの微細化が進んでいる。これに伴って、配線幅と配線間隔も縮小化の方向にある。配線間隔が狭くなると、配線間の寄生容量は配線間隔に反比例して増加する。この配線間容量の増加はRC時定数を大きくし、配線の信号伝播速度の遅延を招き、デバイスの処理速度低下の原因となるため、デバイスの微細化を進める上で大きな問題となっている。

【0003】近年、前述した配線間容量を低減するための方法として、従来層間絶縁膜として用いられているSiO₂膜よりも比誘電率の低い絶縁膜を形成することが検討されている。代表的な低誘電率層間絶縁膜としては、SiOF膜の他に、HSQ (Hydrogen Silsesquioxane)、BCB (Benzocyclobutene) 等の無機又は有機塗布膜、フッ素化アモルファスカーボン膜やバリレン等をはじめとするCVD有機膜などが知られている。しかし、これらの膜、特にSiOF膜やフッ素化アモルファスカーボン膜などのFを含む膜は、Fの脱離やH₂Oとの反応による比誘電率の増加や、膜中のFと下地やAl配線等との反応が懸念されている。そのため、これらの問題を解決する目的で、通常は図4に示すように層間膜を多層構造に形成すること、すなわちFを含む層間絶縁膜層4を上下からSiO₂膜3で挟み込む積層構造の形を探ることが行われている。なお、図4において1は下地絶縁膜、2はAl配線を示す。

【0004】しかし、SiO₂を成膜する方法として一般的に用いられているのは、SiH₄を用いたCVD法である。このため、SiO₂の成膜中に、Fを含む層間絶縁膜はSiH₄の分解により生成したHラジカルに晒されることになる。また、TEOSを用いた場合でも膜中に多くの水分を含むため、これがFと反応してしまう。さらに、SiO₂膜は一般的にH₂やH₂Oの拡散に対する耐性が低いため、成膜後における大気開放中の膜質の安定性にも問題が残る。そのため、Fを含む低誘電率の層間絶縁膜を半導体デバイスに用いることは困難になっている。

【0005】

【発明が解決しようとする課題】前述したように、従来の半導体装置の製造、特に層間絶縁膜又はバッシベーション膜の形成に関しては、次のような問題があった。
①SiO₂を成膜する方法として一般的に用いられているのは、SiH₄を用いたCVD法である。そのため、SiO₂の成膜中に、Fを含む層間絶縁膜はSiH₄の分解により生成したHラジカルに晒されることになり、F

C F

がHラジカルと反応する。したがって、Hを含まないソースを用いた成膜方法が必要となる。

【0006】②SiH_xを用いたCVD法で成膜したSiO_x膜中にはHが残留しているため、このHがFと反応する。また、TEOSを用いた場合でも膜中に多くの水分を含むため、同様にこの水分がFと反応してしまう。したがって、HやH₂Oを含まない層間膜が必要となる。

【0007】③SiO_x膜はH₂やH₂Oの拡散に対する耐性が低いため、成膜後、大気開放中の膜質の安定性に問題が残る。したがって、H₂やH₂Oの拡散に対する耐性の高い層間膜が必要となる。

【0008】以上のように、Fを含む低誘電率膜を層間絶縁膜に用いる場合、その上下に成膜する層間膜の形成には、成膜ガスとしてHを含まないガスを用いたSiN膜やSiON膜の成膜が必要となってくる。

【0009】本発明は、前述した事情に鑑みてなされたもので、その目的は、半導体装置において層間絶縁膜あるいはバッシャーション膜を形成する際に、比誘電率の低い、安定な膜質の多層の層間絶縁膜あるいはバッシャーション膜を形成することが可能な方法を提供することにある。

【0010】

【課題を解決するための手段】本発明は、前記目的を達成するため、下記(1)に示す半導体装置の製造方法を提供する。

(1) Hを含まない無機のSi系ガスとN_xを用いた高密度プラズマCVDによりSiN膜を形成する工程を有することを特徴とする半導体装置の製造方法。

【0011】上記(1)の本発明では、Hを含まない無機のSi系ガスとN_xを用いた高密度プラズマCVD法によってSiN膜を形成することにより、Fを含む層間絶縁膜がH又はH₂Oに晒されてHFが形成されることを抑制することができる。

【0012】さらに、本発明は、下記(2)～(10)に示す半導体装置の製造方法を提供する。

(2) Hを含まない無機のSi系ガスとN_xとO_y、Hを含まない無機のSi系ガスとNO、又は、Hを含まない無機のSi系ガスとN_xOを用いた高密度プラズマCVDによりSiON膜を形成する工程を有することを特徴とする半導体装置の製造方法。

(3) 2層以上の多層層間絶縁膜の形成方法であって、Fを含む層間絶縁膜を成膜する工程と、その下地及び上地の一方又は両方に、Hを含まない無機のSi系ガスとN_xを用いた高密度プラズマCVDによりSiN膜を成膜する工程とを有し、かつ前記各工程を同一成膜室内で行うことの特徴とする半導体製造装置。

(4) 2層以上の多層層間絶縁膜の形成方法であって、Fを含む層間絶縁膜を成膜する工程と、その下地及び上地の一方又は両方に、Hを含まない無機のSi系ガスと

N_xとO_y、Hを含まない無機のSi系ガスとNO、又は、Hを含まない無機のSi系ガスとN_xOを用いた高密度プラズマCVDによりSiON膜を形成する工程とを有し、かつ前記各工程を同一成膜室内で行うことを特徴とする半導体製造装置。

(5) Hを含まない無機のSi系ガスとN_xを用いた高密度プラズマCVDによりSiN膜を形成する工程と、SiN膜をHを含まない雰囲気中で熱処理する工程とを有することを特徴とする半導体装置の製造方法。

(6) 半導体チップのバッシャーション膜の形成方法であって、前記バッシャーション膜の少なくとも一層として、Hを含まない無機のSi系ガスとN_xを用いた高密度プラズマCVDによりSiN膜を形成することを特徴とする半導体装置の製造方法。

(7) 半導体チップのバッシャーション膜の形成方法であって、前記バッシャーション膜の少なくとも一層として、Hを含まない無機のSi系ガスとN_xとO_y、Hを含まない無機のSi系ガスとNO、又は、Hを含まない無機のSi系ガスとN_xOを用いた高密度プラズマCVD

20によりSiON膜を形成することを特徴とする半導体装置の製造方法。

(8) Hを含まない無機のSi系ガスが、Si_xF_y又はSi_xC_{1-y}、(式中x及びyはそれぞれ1以上の整数を示す)で表わされるガスである(1)～(7)の半導体装置の製造方法。

(9) Si_xF_yで表わされるガスがSiF_xである

(8)の半導体装置の製造方法。

(10) Si_xC_{1-y}で表わされるガスがSiC_{1-y}である(8)の半導体装置の製造方法。

【0013】

【発明の実施の形態】[実施例1]以下に本発明の実施例1を説明する。図1(a)に示すように、シリコン基板上に成膜された下地絶縁膜1上に、第1の層間絶縁膜としてSiN膜5を、高密度プラズマCVD法によりSiF_x:20sccm、N_x:100sccm、成膜圧力:50mTorr、ICPソースパワー:3000W、バイアスパワー:0Wの条件で50nm成膜した。次に、第2の層間絶縁膜としてSiOF膜6を400nm成膜した。さらに、第3の層間絶縁膜としてSiN膜5を前記と同一条件で50nm成膜した。ここでは、これら第1、2、3層の層間絶縁膜を同一成膜室内で成膜することにより、Fを含む層間絶縁膜が大気に晒されるのを防止し、Fの反応を抑制した。

【0014】次いで、図1(b)に示すように、フォトリソグラフィーとドライエッチングにより溝7を形成した。その後、バリヤメタルであるTaとCuをスパッタ法及びメッキにより成膜し、図1(c)に示すようにCMPにより層間絶縁膜表面のTaとCuを除去しCu配線8を形成した。

【0015】本例では、第1、第3の層間絶縁膜として

SiNを成膜したが、N₂Oを添加してSiON膜を成膜してもよい。また、第2の層間絶縁膜としてSiOF膜を用いたが、例えばこれに代わりフッ素化アモルファスカーボン、ポリテトラフロオロエチレン、バリレンAF4(ポリバラキシレン)等のフッ素を含む有機膜を用いてもよい。

【0016】[実施例2]以下に本発明の実施例2を説明する。本例では、本発明によるSiN膜を容量のカバーメンとして用い、強誘電体材料が水素により還元されるのを抑制した。まず、図2(a)に示すように、シリコン基板上に成膜された下地絶縁膜1上にPt/Ti下部電極9、Pb(Zr, Ti)O_x強誘電体10、Ir/IrO_x上部電極11の構造の容量を形成した。次に、図2(b)に示すように、実施例1と同じ条件でSiN膜5を5.0nm成膜し、さらにCVD法によりSiO₂膜3を600nm成膜した。最後に、フォトリソグラフィーとドライエッチングによりコンタクト開口後、図2(c)に示すようにWコンタクトとA1配線2を形成した。

【0017】[実施例3]以下に本発明の実施例3を説明する。ここでは、A1配線形成後、バッシベーション膜を形成するのに本発明を用いた。図3に示すように、A1配線2上に、まず第1の層としてCVDによりSiO₂膜3を100nm成膜し、次いで第2の層として実施例1と同じ条件でSiN膜5を1μm成膜した。そして最後に、N₂プラズマアニールをN₂:500sccm、圧力:50mTorr、ICPソースパワー:3000Wの条件で30秒間行った。

【0018】

【発明の効果】本発明に係る半導体装置の製造方法は、以下に述べる効果を奏する。第1の効果は、SiN膜形成時にFを含む層間絶縁膜でのHF形成を無くすことができることである。その理由は、Hを含まないガスを用

*にてSiN膜を成膜するため、成膜中にFを含む層間絶縁膜がHラジカル等に晒されることなく、Fとの反応を抑制できるためである。

【0019】第2の効果は、SiN成膜時におけるFを含む層間絶縁膜からのFの脱離を抑制できることである。その理由は、一般にFを含む層間絶縁膜は高温で熱するとFの脱離が起こりやすいが、本発明ではSiN膜を高密度プラズマCVD法で成膜しているので、低温成膜が可能であり、その結果SiN成膜時のFの脱離を抑制できるためである。

【0020】第3の効果は、層間絶縁膜膜質の長期安定性の向上を図ることである。その理由は、Fを含む層間絶縁膜をSiO₂膜よりもH₂やH₂Oの拡散に対して耐性の高いSiN膜で挟み込む構造を探っているので、多層の層間絶縁膜形成後に大気中のH₂やH₂OとFとが反応することを抑制できるためである。

【図面の簡単な説明】

【図1】本発明の第1の実施例の説明図である。

【図2】本発明の第2の実施例の説明図である。

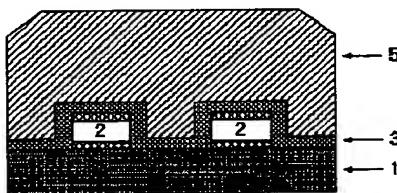
【図3】本発明の第3の実施例の説明図である。

【図4】従来例の説明図である。

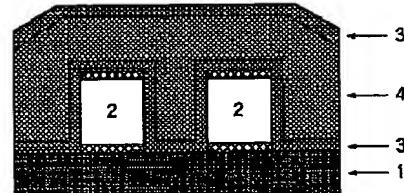
【符号の説明】

- 1 下地層間絶縁膜
- 2 A1配線
- 3 SiO₂
- 4 Fを含む層間絶縁膜層
- 5 SiN
- 6 SiOF
- 7 溝
- 8 Cu配線
- 9 下部電極
- 10 強誘電体
- 11 上部電極

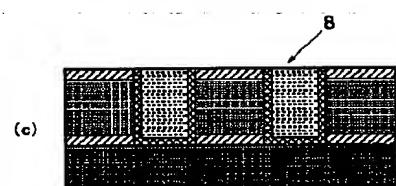
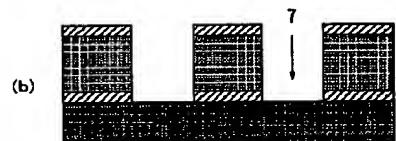
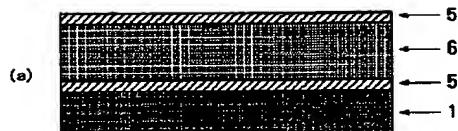
【図3】



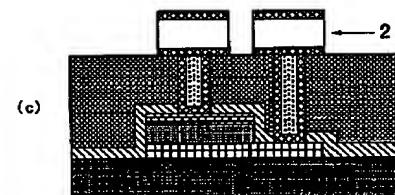
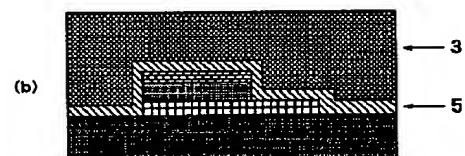
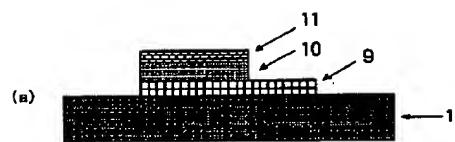
【図4】



【図1】



【図2】



フロントページの続き

(72)発明者 岸本 光司
東京都港区芝五丁目7番1号 日本電気株
式会社内

(72)発明者 小柳 賢一
東京都港区芝五丁目7番1号 日本電気株
式会社内
F ターム(参考) 5F058 AD06 AD11 AD12 BA20 BD10
BD15 BD19 BF07 BF24 BF29
BF30 BH20 BJ02 BJ03